

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9464047

Basic Patent (No,Kind,Date): JP 2219234 A2 900831 <No. of Patents: 001>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): TAKAISHI TAKESHI

IPC: *H01L-021/331; H01L-029/163; H01L-029/73

CA Abstract No: 114(06)054233U

Derwent WPI Acc No: G 90-309217

JAPIO Reference No: 140520E000075

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2219234	A2	900831	JP 8939731	A	890220 (BASIC)

Priority Data (No,Kind,Date):

JP 8939731 A 890220

CLIPPEDIMAGE= JP402219234A
PAT-NO: JP402219234A
DOCUMENT-IDENTIFIER: JP 02219234 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 31, 1990

INVENTOR-INFORMATION:
NAME
TAKAISHI, TAKESHI

ASSIGNEE-INFORMATION:
NAME
SEIKO EPSON CORP

COUNTRY
N/A

APPL-NO: JP01039731
APPL-DATE: February 20, 1989

INT-CL (IPC): H01L021/331; H01L029/163 ; H01L029/73
US-CL-CURRENT: 438/FOR.291,117/56 ,438/365

ABSTRACT:

PURPOSE: To realize high speed operation by forming a base layer composed of second conductivity type compound $\text{SiGe}_{\langle\text{SB}\rangle x \langle\text{SB}\rangle}$ ($0 < x < 10$) composed of silicon Si and germanium Ge, on an emitter region composed of first conductivity type single crystal silicon, and forming a collector composed of first conductivity type $\text{SiGe}_{\langle\text{SB}\rangle x \langle\text{SB}\rangle}$ on the base layer.

CONSTITUTION: On an emitter layer 102 of an N-type single crystal silicon film epitaxially grown on a silicon substrate 101, a base layer 103 of P-type polycrystalline $\text{SiGe}_{\langle\text{SB}\rangle x \langle\text{SB}\rangle}$ ($0 < x < 10$) composed of silicon Si and germanium Ge doped with high concentration is formed by plasma CVD method, and then an insulating layer 105 is formed on the surface. After a window for forming an emitter is opened in the insulating layer 105, a collector layer 104 of N-type polycrystalline $\text{SiGe}_{\langle\text{SB}\rangle x \langle\text{SB}\rangle}$ is formed by the same way as the base layer; a collector is formed by etching; a collector electrode 106, a base electrode 107, and an emitter electrode 108 are formed. Thereby a circuit of high speed and high performance can be manufactured.

COPYRIGHT: (C)1990, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-219234

⑬ Int. Cl.³

H 01 L 21/331
29/163
29/73

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月31日

8526-5F

8526-5F H 01 L 29/72

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-39731

⑰ 出 願 平1(1989)2月20日

⑱ 発 明 者 高 石 武 史

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式
会社

東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 上柳 雅 誉 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第一導電型の単結晶シリコンから成るエミッタ領域上に、シリコンSiとゲルマニウムGeから成る第二導電型の化合物SiGe_x (0 < x < 1.0) から成るベース層を形成し、さらにその上に第一導電型の化合物SiGe_xから成るコレクタを形成することによって作製されることを特徴とする半導体装置。

(2) 上記SiGe_xのxの値がエミッタ領域から遠ざかるにつれて大きいことを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に係り、特に電流増幅率が

高く、高速性に優れたヘテロ接合を有する半導体装置に関する。

(従来の技術)

トランジスタにおいて、近年ますますその高速性が要求され、ベース領域よりもバンドギャップの広いエミッタ層を有するいわゆるヘテロ接合トランジスタが注目されている。

このトランジスタは、npn型で考えると、ベースからエミッタへ注入される正孔が価電子帯の大きな障壁によってブロックされ、そのためエミッタの注入効率が高くなる。また、ベース不純物濃度を高くすることができるので、ベース抵抗を低減でき、高速化することができる。

従来、ヘテロ接合トランジスタはGaAsを中心とする化合物半導体で構成されているが、コストが高く、製造技術が不完全なことから、工業生産性は低く普及にはもう一歩である。

これに対して、最近シリコンを母体とするヘテロ接合トランジスタの研究が盛んになってきている。第4図はヘテロ接合の格子定数の違いを小さく

くするためにエミッタ403及び413にSiC化合物(yの値がベース領域402及び412から遠ざかるにつれて小さい)を用いた例である。(特公昭59-10651)シリコンを母体とすることによって現有の量産製造工程との適合性も良好であり、また微細加工技術を適用し高速化等の性能向上が実現できる。

〔発明が解決しようとする課題〕

しかし、シリコンのキャリア移動度はGaAs化合物に比べて非常に小さいため、SiCエミッタを用いただけでは十分な高速化とは言えない。また、エミッタとベースの間のヘテロ接合における格子不整合が存在するために、接合界面におけるキャリアの再結合による電流が無視できない。従って、理論から予測された電気特性を得ることができない。加えて、SiC化合物はキャリアの移動度が低いために大きな寄生抵抗がついてしまい、高速動作は難しい。

〔課題を解決するための手段〕

本発明の半導体装置は、

-3-

exのコレクタ層104をベース層と同様の方法で形成し、コレクタをエッチングにより形成し、コレクタ電極106、ベース電極107、エミッタ電極108を形成する。

第2図(a)は第1図のヘテロ接合トランジスタのバンド図である。ベース202及びコレクタ203のSiGe_x化合物のゲルマニウム混合比xは第2図(b)のようになっている。エミッタ・ベースのヘテロ接合を傾斜接合にするだけでなく、ベース領域のx値に傾斜をつけることによってベースを走行する電子を加速し、トランジスタの良好な高周波特性を得ることができる。ベース・エミッタ間の格子整合のミスマッチを最小にするために、ベース層のコレクタ側の端で炭素混合比xを0にするのが望ましい。また、ベース・コレクタ接合においても同様の理由からx値を連続的に変化させるのが望ましい。

ベース・エミッタ層は微結晶や非晶質のような非単結晶SiGe_x化合物で良く、また、形成方法も減圧CVD法、常圧CVD法、スパッタ法等

(1) 第一導電型の単結晶シリコンから成るエミッタ領域上に、シリコンSiとゲルマニウムGeから成る第二導電型の化合物SiGe_xから成るベース層を形成し、さらにその上に第一導電型の化合物SiGe_xから成るコレクタを形成することによって作製されることを特徴とする。

(2) 第一項において、上記SiGe_xのxの値がエミッタ領域から遠ざかるにつれて大きいことを特徴とする。

〔実施例〕

第1図は本発明の半導体装置をnpn型ヘテロ接合トランジスタに応用した実施例を示す断面図である。101は高濃度にドーブしたn型シリコン基板、102はシリコン基板上にエピタキシャル成長させたn型単結晶シリコン膜によるエミッタ層である。102のエミッタ層上に高濃度にドーブしたp型の多結晶SiGe_xのベース層103をプラズマCVD法によって形成した後、表面に絶縁層105を形成する。絶縁層105にエミッタ形成用の窓を開けた後、n型の多結晶SiGe_x

-4-

でも良い。

ベースに非晶質SiGe_x化合物を用いた場合には、エミッタ側の端でx=0としてもエミッタ部とのバンドギャップの大きさがかなり異なるが、ベース層を高濃度にドーブすることによってバンドギャップが小さくなり、ベース・エミッタ間のバンドの段差が緩和され、ベース抵抗が下がることから高速化に良好な結果を示す。

第1図のように、基板側がエミッタである構造はECL(Emitter Coupled Logic)回路やCML(Current Mode Logic)回路に好適である。第3図は本発明を用いてCML回路を作製した実施例である。本発明を用いることによって、従来よりも一層高速(高性能)な回路を作製することが可能となる。

また、絶縁基板もしくは絶縁層上に本発明の半導体装置を形成することによって、液晶パネル等の画素デバイス等、さらに多くのデバイスへの応用が可能となり、その上三次元デバイスへの応用

も可能となる。絶縁基板もしくは絶縁層上に本発明の半導体装置を形成する場合には、先に述べた実施例(第1図)のようなコレクタトップ型ばかりでなく、エミッタトップ型、さらには横型のバイポーラトランジスタの形成が可能となり、一層広い応用が可能となる。

本発明の半導体装置とCMOS回路を組合せることによって高性能BiCMOS(HBT-CMOS)回路を作製することが可能である。その際に現有のシリコンプロセス(加工、製膜等)が使えるのは大きな利点である。

以上、npn型のヘテロ接合トランジスタの実施例を示したが、pnp型のヘテロ接合トランジスタに応用した場合にも同様の効果が得られる。

(発明の効果)

以上述べたように、本発明によるSiGe_xから成る傾斜ベース及びナローギャップコレクタを有するヘテロ接合バイポーラトランジスタにおいては、相対的ワイドギャップなエミッタを有することから得られる高増幅率、高速及び良好な高周

波特性をさらに改善することが可能となる。また、現有の量産製造工程との適合性も良好である。

SiGe_xはキャリア移動度が高く、格子定数もSiに近い($x=0$: SiGe₀で5.63Å, Siで5.431Å)ので、SiC_y($0 < y < 1$)を用いた場合より高性能なトランジスタを実現できる。

4. 図面の簡単な説明

第1図は本発明の半導体装置を応用したnpn型トランジスタの実施例を示す断面図。

第2図(a)は第1図の実施例におけるバンド図。第2図(b)は第1図の実施例におけるゲルマニウム混合比 x の値を示す図。

第3図は本発明の半導体装置を用いてCML回路を作製した実施例を示す図。

第4図(a)は従来例を示す断面図。第4図(b)は従来例のバンド図。

102...エミッタ

103...ベース

-7-

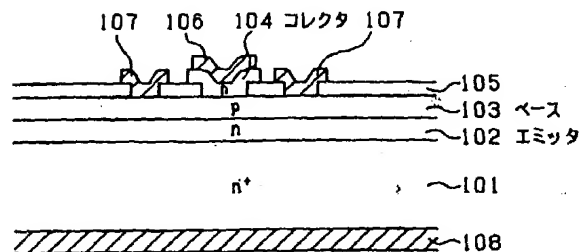
104...コレクタ

以 上

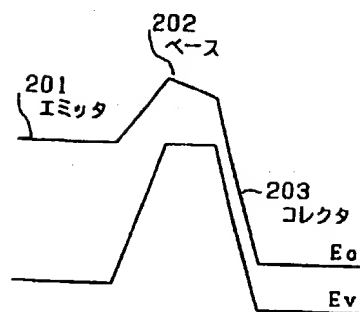
出願人 セイコーエプソン株式会社

代理人 弁理士 上柳雅彦 他1名

-8-



第 1 図



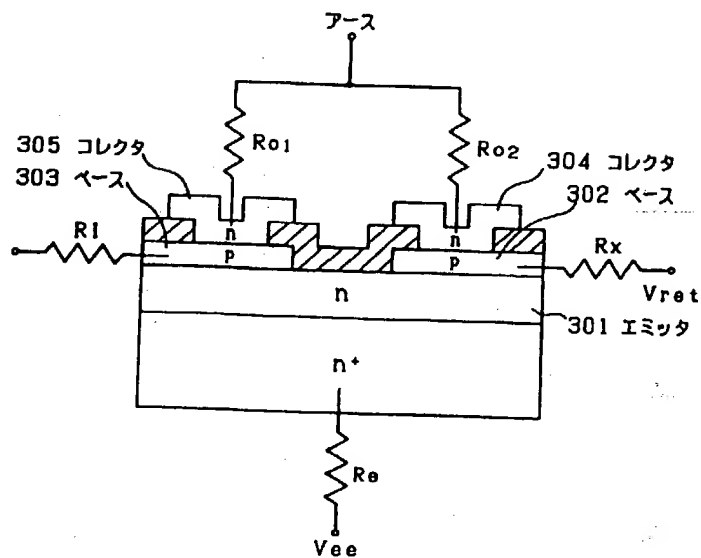
(a)

第 2 図

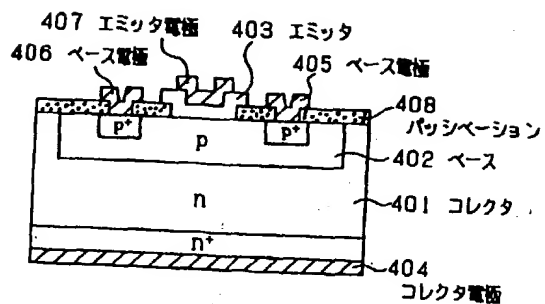


(b)

第 2 図

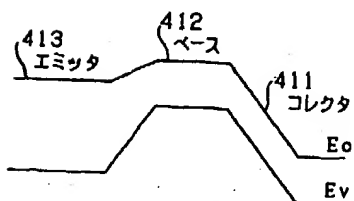


第 3 図



(a)

第 4 図



(b)

第 4 図